

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-259749

(43)Date of publication of application : 08.10.1993

(51)Int.Cl.

H03F 1/30

(21)Application number : 04-054868

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 13.03.1992

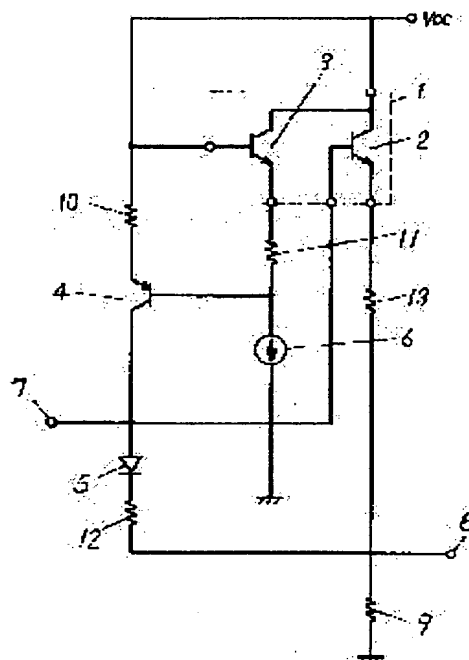
(72)Inventor : NAKAGAWA YOSHIMICHI

(54) TRANSISTOR CIRCUIT

(57)Abstract:

PURPOSE: To appropriately compensate a temperature of an operating current of a silicon power TR by forming a temperature detection Tr on a same silicon chip as the silicon power TR and detecting a base-emitter voltage.

CONSTITUTION: When a collector current of a silicon power TR 2 is increased, the temperature of a power TR chip 1 rises. A base-emitter voltage of a temperature detection TR 3 is decreased due to the rise in the chip temperature and a base-emitter voltage of a PNP type TR 4 is also decreased. A collector current of the TR 4 is decreased through the decrease in the base-emitter voltage of the TR 4 and a bias voltage of the TR 2 is decreased. A collector current of the TR 2 is going to be increased due to a temperature rise, but since a bias voltage is decreased, the collector current is kept constant. The temperature is compensated in a very small time and accurately since the TRs 2, 3 are formed on a same silicon chip.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-259749

(43)公開日 平成5年(1993)10月8日

(51)Int.Cl.⁵

H03F 1/30

識別記号

庁内整理番号

A 8836-5J

FI

技術表示箇所

審査請求 未請求 請求項の数6(全 6 頁)

(21)出願番号

特願平4-54868

(22)出願日

平成4年(1992)3月13日

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 中川 善路

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74)代理人 弁理士 小鍛治 明 (外2名)

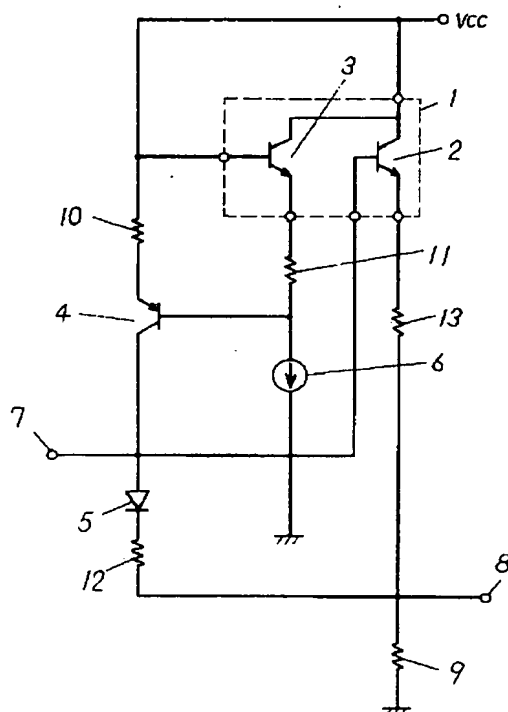
(54)【発明の名称】 トランジスタ回路

(57)【要約】

【目的】 トランジスタ回路の動作電流を一定にする。

【構成】 二重拡散プロセスで形成されたベース領域とエミッタ領域から成るシリコンパワートランジスタ2と上記シリコンパワートランジスタ2と同体のシリコン上に上記シリコンパワートランジスタ2とは電気的に絶縁されたベース領域とエミッタ領域から成るある一定の面積をもつトランジスタ3とを形成して構成された素子1と、上記シリコンとは別体で形成された実装基板上に上記トランジスタ3のベース・エミッタ間電圧を検出し上記パワートランジスタのバイアス電圧を制御するバイアス回路とで構成する。

【効果】 極めて短時間にトランジスタ回路の動作電流の温度補償ができる。



【特許請求の範囲】

【請求項1】 二重拡散プロセスで形成されたベース領域とエミッタ領域から成るシリコンパワートランジスタと上記シリコンパワートランジスタと同体のシリコン上に上記シリコンパワートランジスタとは電氣的に絶縁されたベース領域とエミッタ領域から成るある一定の面積をもつトランジスタとを形成して構成された素子と、上記シリコンとは別体で形成された実装基板上に上記トランジスタのベース・エミッタ間電圧を検出し上記シリコンパワートランジスタのバイアス電圧を制御するバイアス回路とで構成し、上記シリコンパワートランジスタのチップ温度を短時間に検出しその動作電流を一定に保つことを特徴とするトランジスタ回路。

【請求項2】 上記バイアス回路が、上記トランジスタのコンプリメンタリ・トランジスタで構成され、上記トランジスタのベース端子と上記コンプリメンタリ・トランジスタのエミッタ端子、上記トランジスタのエミッタ端子と上記コンプリメンタリ・トランジスタのベース端子が接続されていることを特徴とする請求項1記載のトランジスタ回路。

【請求項3】 上記トランジスタ及び上記トランジスタのコンプリメンタリ・トランジスタそれぞれのエミッタ端子に抵抗器を挿入することを特徴とする請求項2記載のトランジスタ回路。

【請求項4】 上記シリコンパワートランジスタをエミッタ・フォロアとして使用することを特徴とする請求項1記載のトランジスタ回路。

【請求項5】 上記シリコンパワートランジスタをSEPP回路として使用することを特徴とする請求項1記載のトランジスタ回路。

【請求項6】 上記シリコンパワートランジスタをエミッタ接地回路として使用することを特徴とする請求項1記載のトランジスタ回路。

【発明の詳細な説明】**【0001】**

【産業上の利用分野】 本発明は、二重拡散プロセスで形成されたベース領域とエミッタ領域から成るシリコンパワートランジスタチップ温度を短時間に検出しその動作電流を一定に保つトランジスタ回路に関するものである。

【0002】

【従来の技術】 近年、トランジスタ回路のバイアス回路は種々の改善が成されている。以下図面を参照しながら、上述した従来のバイアス回路で構成されたトランジスタ回路の一例について説明する。

【0003】 図4は従来のバイアス回路を備えたSEPP回路の回路図を示すものである。図4において、61は二重拡散プロセスで形成されたベース領域とエミッタ領域から成るNPN型シリコンパワートランジスタ、62は二重拡散プロセスで形成されたベース領域とエミ

ッタ領域から成るPNP型シリコンパワートランジスタ、63は温度検出トランジスタ、64、65は定電流回路、66は入力端子、67は出力端子、68はマルチプライヤー回路、69は抵抗器でその抵抗値をR1とし、70は抵抗器でその抵抗値をR2とする。NPN型シリコンパワートランジスタ61、PNP型シリコンパワートランジスタ62はそれぞれ別体で、温度検出トランジスタ63、定電流回路64、65、マルチプライヤー回路68、抵抗器69、70は上記NPN型シリコンパワートランジスタ61、PNP型シリコンパワートランジスタ62とは別体の実装されている。また、温度検出トランジスタ63はパワートランジスタ61、62に熱結合されている。

【0004】 以上のように構成されたSEPP回路について以下その構成について説明する。温度検出トランジスタ63のマルチプライヤー回路68によりこのトランジスタのコレクタ・エミッタ間電圧 V_{ce3} は、このトランジスタのベース・エミッタ間電圧を V_{be3} とすると、ほぼ $V_{be3} \cdot (R1 + R2) / R2$ の電圧に固定される、一方 V_{ce3} はパワートランジスタ61、62のバイアス電圧であるのでこの V_{ce3} に応じたコレクタ電流がパワートランジスタ61、62のコレクタに流れる。ある温度で上記SEPP回路が平衡状態にありパワートランジスタ61、62のコレクタ電流がある値になっていたとする。ここで入力信号が入力される等、何らかの原因で上記パワートランジスタ61、62のコレクタ電流が増加したとすると、コレクタ電流の増加がコレクタ損失の増加につながり、その結果上記パワートランジスタ61、62のチップ温度が上昇する。

【0005】 一般的に知られているようにシリコントランジスタのベース・エミッタ間電圧 V_{be} は温度に対して約 $-2mV$ の温度特性を持っているため、チップ温度の上昇に伴い同一コレクタ電流を流すための V_{be} は下がる。ここで、もし V_{be3} が一定であるとする上記パワートランジスタ61、62の V_{be} が下がった分だけコレクタ電流が更に増加し、更にこの増加分によりパワートランジスタ61、62のチップ温度が上昇する、この循環によりパワートランジスタ61、62のコレクタ電流はどんどん増加し最終的にはパワートランジスタ61、62の破壊につながる。ところが、温度検出トランジスタ63はパワートランジスタ61、62に熱結合されている為、上記パワートランジスタ61、62のチップ温度の上昇分が温度検出トランジスタ63に伝達し温度検出トランジスタ63の V_{be3} も下がるため上記パワートランジスタ61、62のコレクタ電流は一定に保たれる。

【0006】

【発明が解決しようとする課題】 しかしながら上記のような従来のバイアス回路を備えたSEPP回路は、パワートランジスタで発生した熱が温度検出トランジスタ6

3に伝達するまでに遅延時間が生じる為、その間は、一時的に上記パワートランジスタ61、62のコレクタ電流が増加するという問題点を有し、共に、パワートランジスタチップから温度検出トランジスタ63までに、ある熱抵抗分を有するので上記パワートランジスタ61、62のチップ温度の上昇分の全ては温度検出トランジスタ63まで伝達しない為完全な温度補償は出来ないという問題点も有している。

【0007】また図5はベース領域とエミッタ領域を二重拡散プロセスで形成したシリコントランジスタの断面図である。図5において71はエミッタ領域、72はベース領域、73はコレクタ高比抵抗領域、74はコレクタ高不純物濃度領域、75はコレクタ裏面部である。図5で示す様に、二重拡散プロセスで形成されたベース領域とエミッタ領域から成るシリコンパワートランジスタでは、個別素子を電氣的に完全分離するための拡散工程がないため、特にコレクタ電極は共通電極として配置するため、複数の能動素子あるいは受動素子を組み合わせた機能回路を形成することは不可能で上記別体の温度検出トランジスタ63をパワートランジスタチップ上に形成できない。

【0008】本発明は、上記従来の問題点に鑑み、より極めて短時間に、より完全に温度補償ができるバイアス回路を備えたトランジスタ回路を提供することを目的としてなされたものである。

【0009】

【課題を解決するための手段】上記課題を解決するために本発明のトランジスタ回路は、二重拡散プロセスで形成されたベース領域とエミッタ領域から成るシリコンパワートランジスタと、上記シリコンパワートランジスタと同一のシリコン上に上記シリコンパワートランジスタとは電氣的に絶縁されたベース領域とエミッタ領域から成るある一定の面積をもつトランジスタとを形成して構成された素子と、上記シリコンとは別体で形成された実装基板上に上記トランジスタのベース・エミッタ間電圧を検出し上記パワートランジスタのバイアス電圧を制御するバイアス回路とで構成し、上記シリコンパワートランジスタのチップ温度を短時間に検出しその動作電流を一定に保つことを特徴とするものである。

【0010】

【作用】本発明は上記した構成によって、パワートランジスタチップの温度を同一のシリコン上に上記シリコンパワートランジスタとは電氣的に絶縁されたベース領域とエミッタ領域から成るある一定の面積をもつ温度検出用のトランジスタのベース・エミッタ間電圧を検出しパワートランジスタのコレクタ電流を一定にさせるものである。温度検出用のトランジスタがパワートランジスタチップと同一のシリコン上にあるため、より極めて短時間に、より正確に温度補償ができるバイアス回路を備えたトランジスタ回路が可能となる。

【0011】

【実施例】以下本発明のバイアス回路を備えたトランジスタ回路の実施例について、図1～図3を参照しながら詳細に説明する。

【0012】図1は本発明の第1の実施例における、バイアス回路を備えたエミッタ・フォロア回路の回路図を示すものである。図1において、1はベース領域とエミッタ領域が二重拡散プロセスで形成されたNPN型のシリコンチップ、2はパワートランジスタ部、3は温度検出用トランジスタ部、4はPNP型トランジスタ、5はダイオード、6は定電流回路で定電流ダイオードを用いても良い、7はこのエミッタフォロア回路の入力端子、8はこのエミッタフォロア回路の出力端子、9はパワートランジスタのエミッタ抵抗器、10、11、12、13、はそれぞれトランジスタまたはダイオードのばらつきを吸収するための抵抗器である。上記パワートランジスタ部2と温度検出用トランジスタ部3は同一のNPN型のシリコンチップ1上に形成され、PNP型トランジスタ4、ダイオード5、定電流回路6、パワートランジスタのエミッタ抵抗器9、抵抗器10、11、12、13は別体で形成された実装基板に実装されている。なお上記別体で形成された実装基板は混成集積回路実装基板またはプリント基板でもよい。

【0013】温度検出用トランジスタ3のベース端子はそのコレクタ端子に接続しダイオードとして使用している。この温度検出用トランジスタ3のベース・エミッタ間に電圧を発生させるためにエミッタ端子に定電流回路6を接続している。PNP型トランジスタ4のエミッタ、ベース端子をそれぞれ温度検出用トランジスタ3のベース、エミッタ端子に接続し温度検出用トランジスタ3のベース・エミッタ間電圧をPNP型トランジスタ4のコレクタ電流に変換している。PNP型トランジスタ4のコレクタ電流をダイオード5のアノード、カソード間電圧に変換するためダイオード5をPNP型トランジスタ4のコレクタに接続している。このダイオード5のアノード、カソードをそれぞれパワートランジスタ2のベース、エミッタに接続しダイオード5のアノード、カソード間電圧をパワートランジスタ2のバイアス電圧としている。

【0014】以上のように構成されたエミッタ・フォロア回路について、以下その動作について説明する。

【0015】まずある温度で上記エミッタ・フォロア回路が平衡状態にありパワートランジスタ2のコレクタ電流がある値になっていたとする。ここで入力信号が入力される等、何らかの原因で上記パワートランジスタ2のコレクタ電流が増加したとすると、コレクタ電流の増加がコレクタ損失の増加につながり、その結果上記パワートランジスタチップ1の温度が上昇する。チップ温度の上昇により温度検出用トランジスタ3のベース・エミッタ間電圧は下がりPNP型トランジスタ4のベース・エ

ミッタ間電圧も下がる。PNP型トランジスタ4のベース・エミッタ間電圧が下がることによりPNP型トランジスタ4のコレクタ電流が減少し、ダイオード5のアノード、カソード間電圧すなわちパワートランジスタ2のバイアス電圧も下がる。パワートランジスタ2のコレクタ電流は温度の上昇により増加しようとするがバイアス電圧が減少するため一定に保たれる。この温度補償はパワートランジスタ2及び温度検出用トランジスタ3が同一のNPN型のシリコンチップ1上に形成されているので極めて短時間に、かつ正確におこなわれる。

【0016】以上のように本実施例によれば、極めて短時間に、より正確に温度補償ができるバイアス回路を備えたエミッタ・フォロア回路が可能となる。

【0017】図2は本発明の第2の実施例における、バイアス回路を備えたSEPP回路の回路図を示すものである。

【0018】図2において、21はベース領域とエミッタ領域が二重拡散プロセスで形成されたNPN型のシリコンチップ、22はパワートランジスタ部、23は温度検出用トランジスタ部、24はベース領域とエミッタ領域が二重拡散プロセスで形成されたPNP型のシリコンチップ、25はパワートランジスタ部、26は温度検出用トランジスタ部、27はPNP型トランジスタ、28はNPN型トランジスタ、29、30はダイオード、31は定電流回路で定電流ダイオードを用いても良い、32はこのSEPP回路の入力端子、33はこのSEPP回路の出力端子である。上記パワートランジスタ部22、温度検出用トランジスタ部23は同一のNPN型のシリコンチップ21上に形成され、上記パワートランジスタ部25、温度検出用トランジスタ部26は同一のPNP型のシリコンチップ24上に形成され、PNP型トランジスタ27、NPN型トランジスタ28、ダイオード29、30、定電流回路31は上記NPN型のシリコンチップ21、PNP型のシリコンチップ24とは別体で形成された実装基板に実装されている。

【0019】温度検出用トランジスタ23のベース端子はそのコレクタ端子に接続しダイオードとして使用している。この温度検出用トランジスタ23のベース・エミッタ間に電圧を発生させるためにエミッタ端子に定電流回路31を接続している。PNP型トランジスタ27のエミッタ、ベース端子をそれぞれ温度検出用トランジスタ23のベース・エミッタ間電圧をPNP型トランジスタ27のコレクタ電流に変換している。温度検出用トランジスタ26のベース端子はそのコレクタ端子に接続しダイオードとして使用している。この温度検出用トランジスタ26のベース・エミッタ間に電圧を発生させるためにエミッタ端子に定電流回路31を接続している。NPN型トランジスタ28のエミッタ、ベース端子をそれぞれ温度検出用トランジスタ26のベース、エミ

ッタ端子に接続し温度検出用トランジスタ26のベース・エミッタ間電圧をPNP型トランジスタ28のコレクタ電流に変換している。PNP型トランジスタ27及びNPN型トランジスタ28のコレクタ電流をダイオード29、30のアノード、カソード間電圧に変換するためダイオード29、30をPNP型トランジスタ27及びNPN型トランジスタ28のコレクタ間に挿入している。このダイオード29のアノード、ダイオード30のカソードをそれぞれパワートランジスタ22のベース、パワートランジスタ25のベースに接続しダイオード29、30のアノード、カソード間電圧をパワートランジスタ22及びパワートランジスタ25のバイアス電圧としている。

【0020】以上のように構成されたSEPP回路も第一の実施例と同様に、極めて短時間に、より正確に温度補償ができる。

【0021】図3は本発明の第3の実施例における、バイアス回路を備えたエミッタ接地回路の回路図を示すものである。

【0022】図3において、41はベース領域とエミッタ領域が二重拡散プロセスで形成されたNPN型のシリコンチップ、42はパワートランジスタ部、43は温度検出用トランジスタ部、44はPNP型トランジスタ、45はダイオード、46は定電流回路で定電流ダイオードを用いても良い、47はこのエミッタ接地回路の入力端子、48はこのエミッタ接地回路の出力端子、49はパワートランジスタのコレクタ抵抗器、50はパワートランジスタのエミッタ抵抗器である。上記パワートランジスタ部42、温度検出用トランジスタ部43は同一の上記NPN型のシリコンチップ41上に形成され、上記ダイオード45、定電流回路46、抵抗器49、50は上記NPN型のシリコンチップ41とは別体に形成された実装基板に実装されている。温度検出用トランジスタ43のベース端子はそのコレクタ端子に接続しダイオードとして使用している。この温度検出用トランジスタ43のベース・エミッタ間に電圧を発生させるためにエミッタ端子に定電流回路46を接続している。PNP型トランジスタ44のエミッタ、ベース端子をそれぞれ温度検出用トランジスタ43のベース、エミッタ端子に接続し温度検出用トランジスタ43のベース・エミッタ間電圧をPNP型トランジスタ44のコレクタ電流に変換している。PNP型トランジスタ44のコレクタ電流をダイオード45のアノード、カソード間電圧に変換するためダイオード45をPNP型トランジスタ44のコレクタに接続している。このダイオード45のアノード、カソードをそれぞれパワートランジスタ42のベース、エミッタに接続しダイオード45のアノード、カソード間電圧をパワートランジスタ42のバイアス電圧としている。

【0023】以上のように構成されたエミッタ接地回路

も第一の実施例と同様に、極めて短時間に、より正確に温度補償ができる。

【0024】

【発明の効果】以上のように本発明は、温度検出用トランジスタをシリコンパワートランジスタと同体のシリコン上に形成しそのベース・エミッタ間電圧を検出することにより、シリコンパワートランジスタの発熱を極めて短時間かつ正確に検出することができ、シリコンパワートランジスタの動作電流の温度補償を適切に行うことができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例における、バイアス回路を備えたエミッタ・フォロア回路の回路図を示すものである。

【図2】本発明の第2の実施例における、バイアス回路を備えたSEPP回路の回路図を示すものである。

【図3】本発明の第3の実施例における、バイアス回路を備えたエミッタ接地回路の回路図を示すものである。

【図4】従来のバイアス回路を備えたSEPP回路の回路図を示すものである。

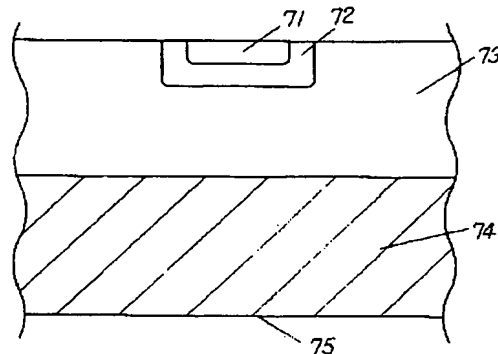
【図5】ベース領域とエミッタ領域を二重拡散プロセスで形成したシリコントランジスタの断面図である。

【符号の説明】

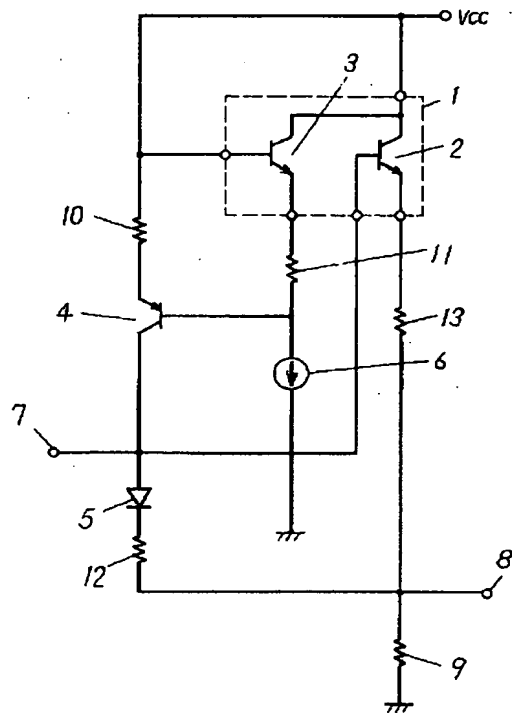
- 1 ベース領域とエミッタ領域が二重拡散プロセスで形成されたNPN型のシリコンチップ
- 2 パワートランジスタ部
- 3 温度検出用トランジスタ部
- 4 PNP型トランジスタ
- 5 ダイオード
- 6 定電流回路
- 7 入力端子
- 8 出力端子
- 9 パワートランジスタのエミッタ抵抗器
- 10 抵抗器

- 11 抵抗器
- 12 抵抗器
- 13 抵抗器
- 21 ベース領域とエミッタ領域が二重拡散プロセスで形成されたNPN型のシリコンチップ
- 22 パワートランジスタ部
- 23 温度検出用トランジスタ部
- 24 ベース領域とエミッタ領域が二重拡散プロセスで形成されたPNP型のシリコンチップ
- 25 パワートランジスタ部
- 26 温度検出用トランジスタ部
- 27 PNP型トランジスタ
- 28 NPN型トランジスタ
- 29 ダイオード
- 30 ダイオード
- 31 定電流回路
- 32 SEPP回路の入力端子
- 33 SEPP回路の出力端子
- 41 ベース領域とエミッタ領域が二重拡散プロセスで形成されたNPN型のシリコンチップ
- 42 パワートランジスタ部
- 43 温度検出用トランジスタ部
- 44 PNP型トランジスタ
- 45 ダイオード
- 46 定電流回路
- 47 エミッタ接地回路の入力端子
- 48 エミッタ接地回路の出力端子
- 49 パワートランジスタのコレクタ抵抗器
- 50 パワートランジスタのエミッタ抵抗器
- 71 エミッタ領域
- 72 ベース領域
- 73 コレクタ高比抵抗領域
- 74 コレクタ高不純物濃度領域
- 75 コレクタ裏面部

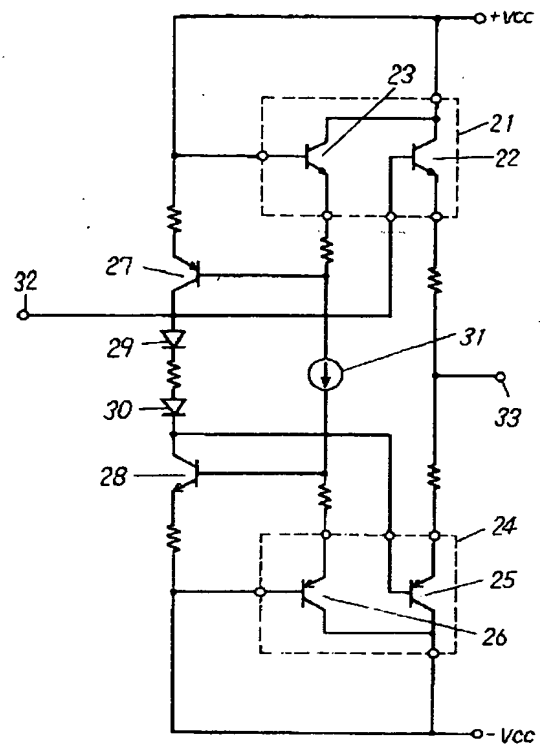
【図5】



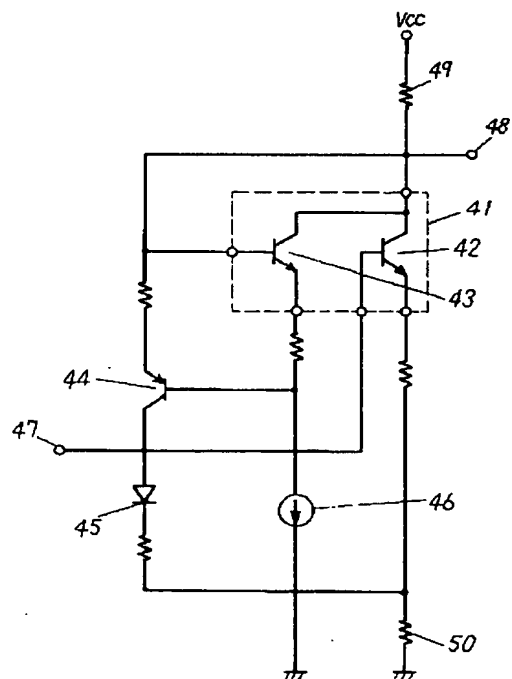
【図1】



【図2】



【図3】



【図4】

